

- 本講義用Webページ <http://www.eit.hirosaki-u.ac.jp/~ken/HW/>
資料はTeamsから

- Z:¥以下使用PCの任意の場所に、「HW」というディレクトリを作っておく。【準備】

- 本講義で対象とするハードウェア

ハードウェア(広義)

あるシステムを構成する物理的構成要素、及びその集合体のこと。機械、装置、設備。

ICT(情報通信技術)ハードウェア

デジタルシステムハードウェア

コンピュータシステムハードウェア

ハードウェア設計製作の目的

授業の概要

この科目では、主にVHDL (Very high speed integrated circuit **H**ardware **D**escription **L**anguage) による抽象度の高い機能設計から、プログラマブルデバイス (* FPGA/CPLD) による実装へと至るフローに沿って、デジタルシステムの設計製作手法を学びます。この手法は、柔軟性や開発期間などの面において有効であることから、近年実世界の製品開発に適用されることが多くなっています。

(*) FPGA:Field Programmable Gate Array / **C**PLD:**C**omplex **P**rogrammable **L**ogic **D**evice

到達目標

VHDL記述によるRTL (Register Transfer Level) 設計ができること。EDA/CAD (Electric Design Automation/Computer Aided Design) ツールによる論理合成が行えること。プログラマブルデバイスの特徴を理解し利用すること。

目的(を簡単に言うと) :

●VHDL(プログラミング)演習

『デジタル回路を設計する』

VHDL: ハードウェア記述言語 (HDL: **H**ardware **D**escription **L**anguage) の一つ。

ハードウェア設計において、設計回路の、

- ・各機能ブロック (機能のひとかたまり) の記述
 - ・論理式記述
 - ・以上を混ぜた記述
- をするための言語。

●プログラマブルデバイス演習

『設計したデジタル回路を動かす』

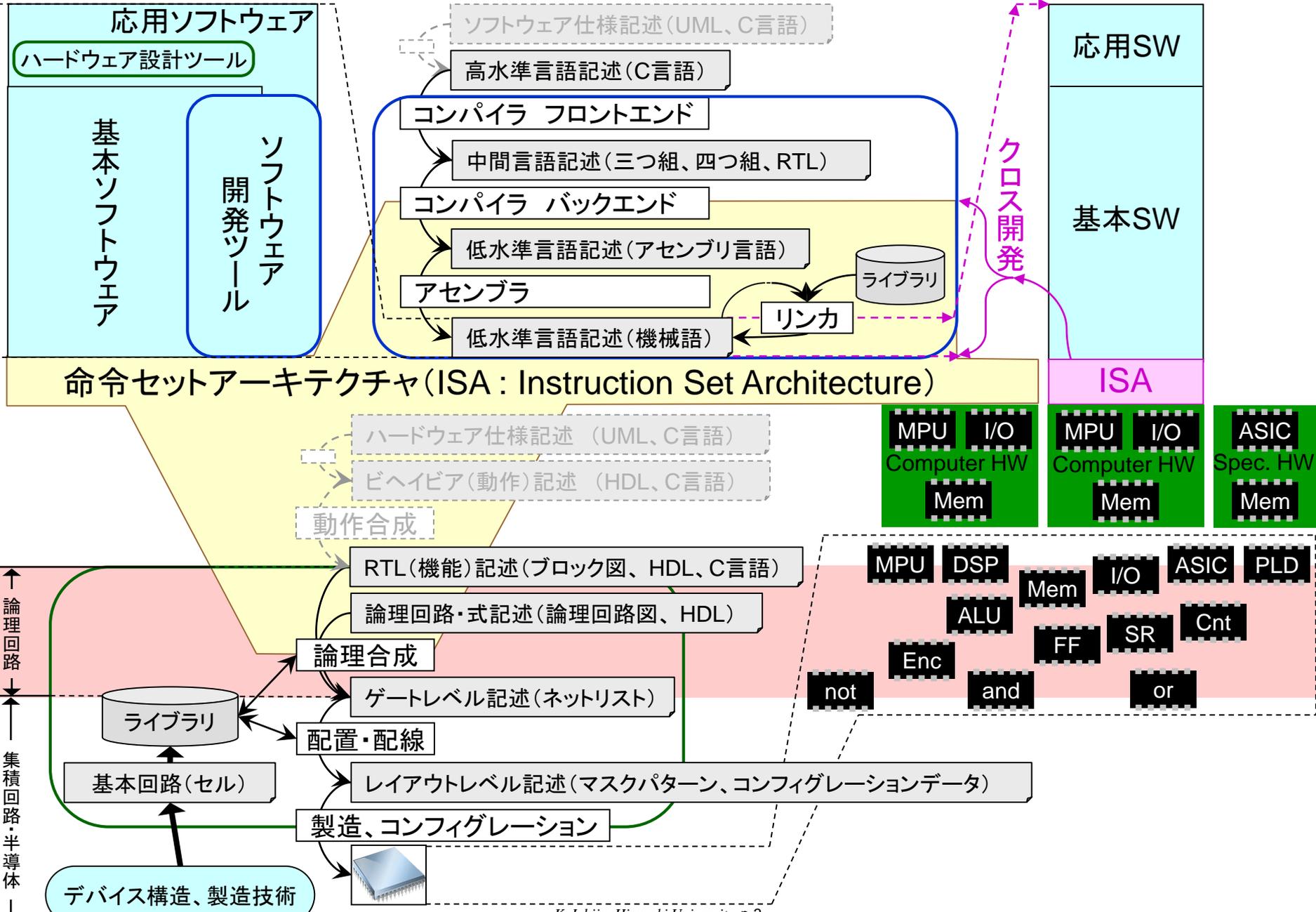
プログラマブルデバイス (PLD : **P**rogrammable **L**ogic **D**evice) :

その機能をユーザが使用時に設定できるデバイス。
多くの場合、機能設計をHDL記述で行う。

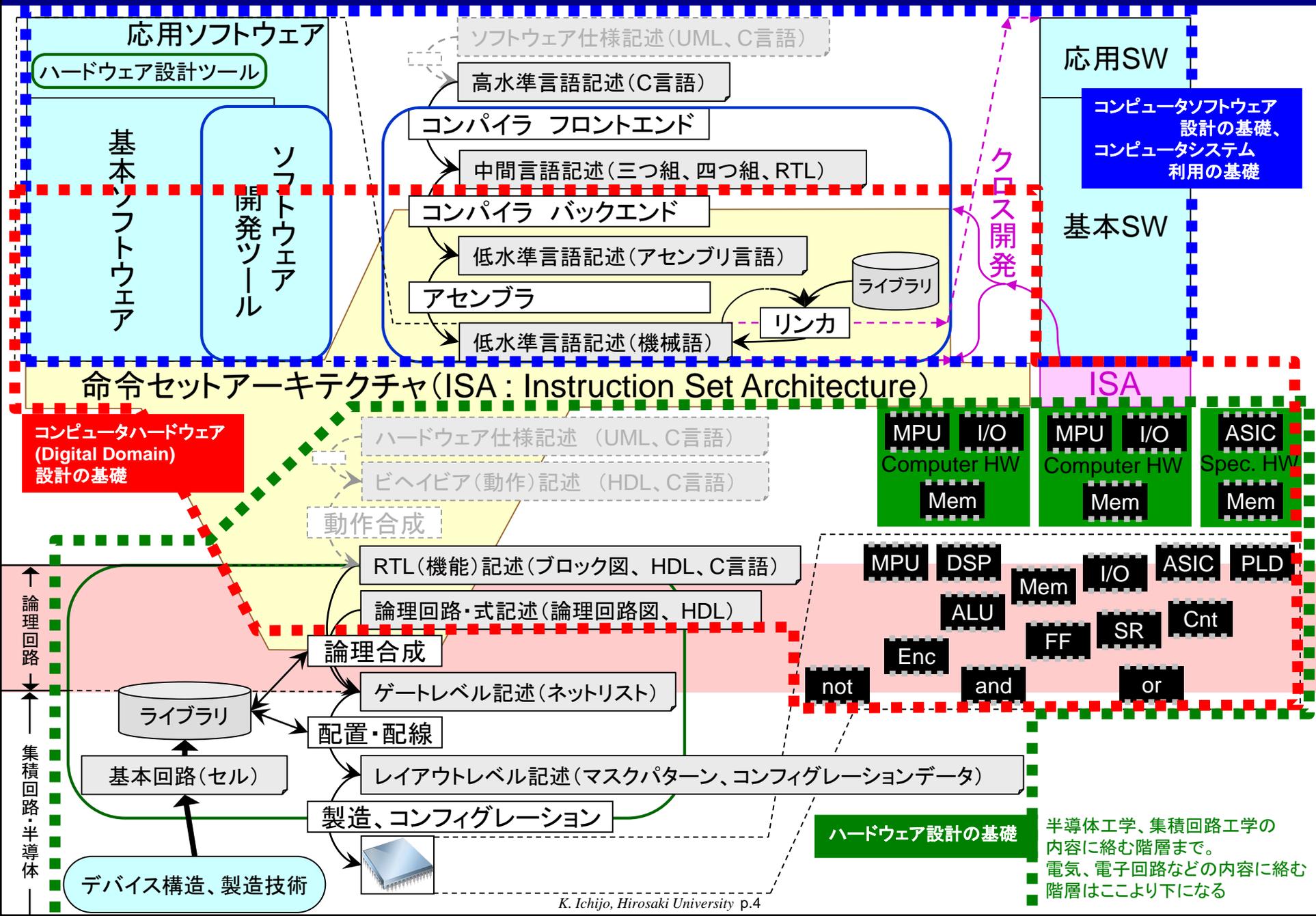
得られる事柄 :

- デジタルシステムハードウェアの設計開発現場で使われている、設計、検証、試作方法を学ぶ。
- オリジナルのハードウェア (マイクロプロセッサも含む) の設計、検証、試作方法を学ぶ。

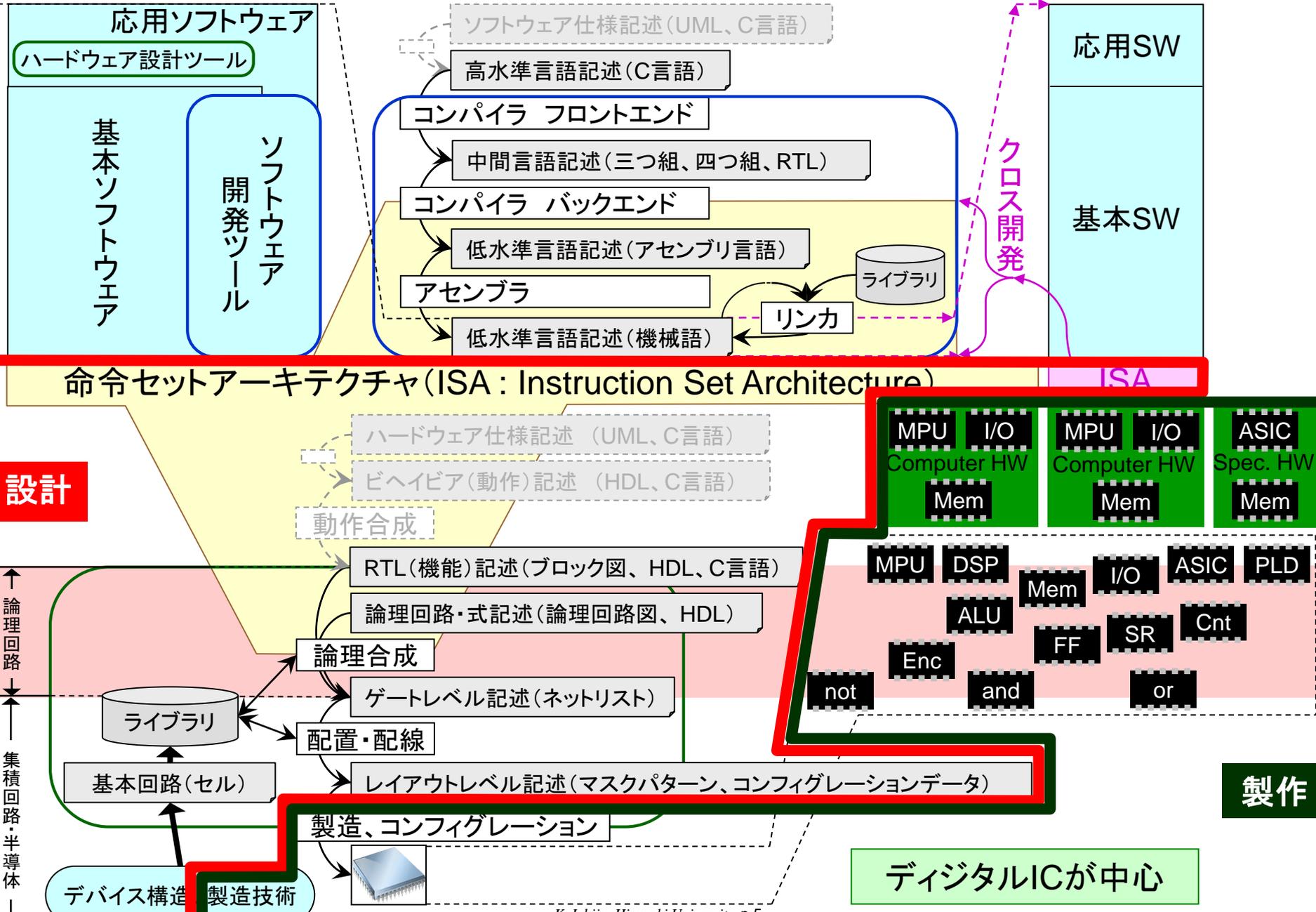
デジタルシステムの構成・設計の階層



階層のグループ化



階層における、ハードウェアの設計と製作の範囲

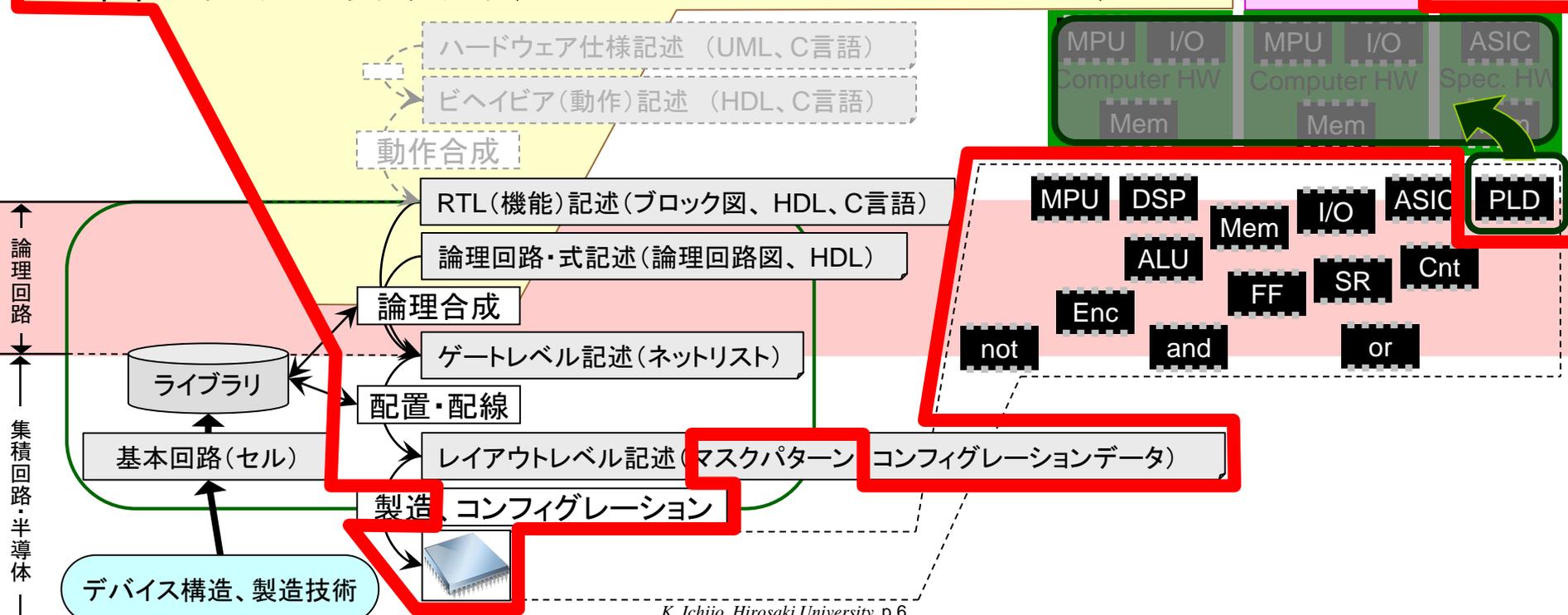


階層における、本科目で扱う範囲

デジタルICの中のPLDに的をしぼって、デジタルシステムハードウェアの設計、製作をする。

命令セットアーキテクチャ (ISA : Instruction Set Architecture)

ISA



設計製作(機能の設定)から見たデジタルICの分類と、PLDの位置づけ

- 汎用IC・・・汎用機能を設定した(IC)デバイス
- ASIC(Application Specific IC)・・・特定機能を設定した(IC)デバイス
 - ASSP・・・その機能をメーカーが設定した(IC)デバイス。汎用機能の拡張、汎用機能に専用機能を追加
 - USIC((最広義の)PLD)・・・その機能をユーザが設定できる(IC)デバイス

- フルカスタムIC・・・その機能をユーザが製造時に設定できる(IC)デバイス(白紙から)
- セミカスタムIC・・・その機能をユーザが製造時に設定できる(IC)デバイス(ライブラリ利用)
 - ◇Gate Array(MPGA: Mask Programmable Gate Array)
 - ◇Cell Array
 - ・Standard Cell Array
 - ・Embedded Cell Array

Field Programmable

- (広義の)PLD・・・その機能をユーザが使用時に設定できる(IC)デバイス

- ◇SPLD(Simple PLD)
 - ・PLA(Programmable Logic Array、FFなし、可変AND可変OR)
 - ・PROM(Programmable ROM、FFなし、固定AND可変OR)
 - ・PAL(Programmable Array Logic、FFなし、可変AND固定OR)
→GAL(Generic Array Logic、FFあり、可変AND固定OR)

狭義のPLD

- ◇CPLD(Complex PLD)
- ◇FPGA(Field Programmable Gate Array)

大規模な論理回路に相当する機能を設定できる

【注】 PLD: Programmable Logic Device
ASSP: Application Specific Standard Product
USIC: User Specific IC

設計製作のほかに、集積度、基板構成、デバイス構造、パッケージなどから見た分類もある。(→半導体工学)

デジタルICの一般的な設計製作フロー

sim : シミュレータ

※1: ASSP、フルカスタムIC

※2: セミカスタムIC

※3: (広義の)PLD

【注】GDS: Graphic Data System

設計支援ツール

ハードウェア仕様記述 (UML、C言語)

ビヘイビア(動作)記述 (HDL、C言語)

動作合成

RTL(機能)記述(ブロック図、HDL、C言語)

論理回路・式記述(論理回路図、HDL)

設計

記述チェック

機能検証

sim

論理合成

ゲートレベル記述(ネットリスト)

ライブラリ

タイミング検証(ゲートレベル)

sim

※1

※2

※3

手動配置・配線

(全、部分)自動配置・配線

レイアウトレベル記述

(GDSIIマスクパターンデータ)

レイアウトレベル記述

(コンフィグレーションデータ)

基本回路

(セル)

レイアウト検証

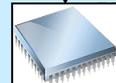
sim

試作



LSIテスト

製造



フロー
(流れ)

タイミング検証

sim

コンフィグレーション

PLD

動作確認(ボード)

ライブラリ
開発

デバイス構造、製造技術

製作

設計支援ツールの要所

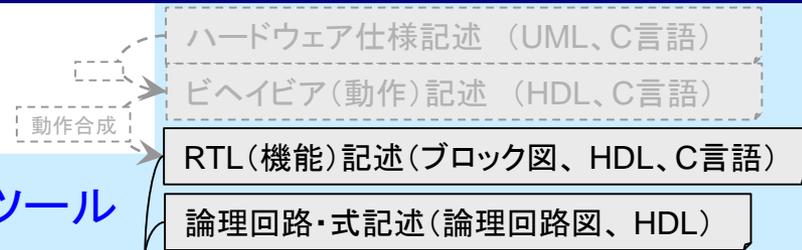
「論理合成」「配置・配線」

設計

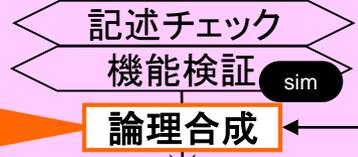
【注】ゲートレベルネットリスト: 論理ゲートの繋がり

全ての論理回路は、ゲートレベルネットリストで表現できる。

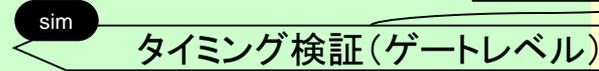
設計支援ツール



回路記述を解釈して、それと等価なゲートレベルネットリストに変換



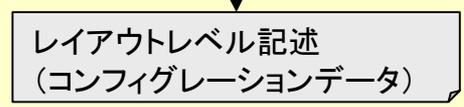
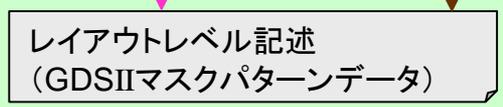
全てのゲートレベルネットリストは、ウェハ上のトランジスタ(セル)の繋がり表現できる。



ゲートレベル記述(ネットリスト)



全てのゲートレベルネットリストは、PLD内の論理素子(セル)の繋がり表現できる。



ゲートレベルネットリストを元に

ウェハ上にトランジスタ(セル)をどのように置いてどのように繋ぎ合わせるか

PLD内の論理素子(セル)をどのように使ってどのように繋ぎ合わせるか

を決定

設計支援ツールを、EDA/CADツールと呼ぶ。

(EDA : Electronic Design Automation, CAD : Computer Aided Design)

本科目の設計製作フロー

- 設計の方法
 - 製作の対象
- に合った EDA/CAD ツールを用いる。

↓: 手掛けるフロー

EDA/CAD ツール

ハードウェア仕様記述 (UML、C言語)
ビヘイビア(動作)記述 (HDL、C言語)

設計

動作合成
RTL(機能)記述(ブロック図、HDL、C言語)
論理回路・式記述(論理回路図、HDL)

記述チェック
機能検証 (sim)

論理合成

ゲートレベル記述(ネットリスト)

ライブラリ

タイミング検証(ゲートレベル) (sim)

手動配置・配線

(全、部分)自動配置・配線

レイアウトレベル記述 (GDSIIマスクパターンデータ)

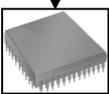
レイアウトレベル記述 (コンフィグレーションデータ)

基本回路 (セル)

レイアウト検証 (sim)

タイミング検証 (sim)

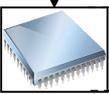
試作



コンフィグレーション

LSIテスト

製造

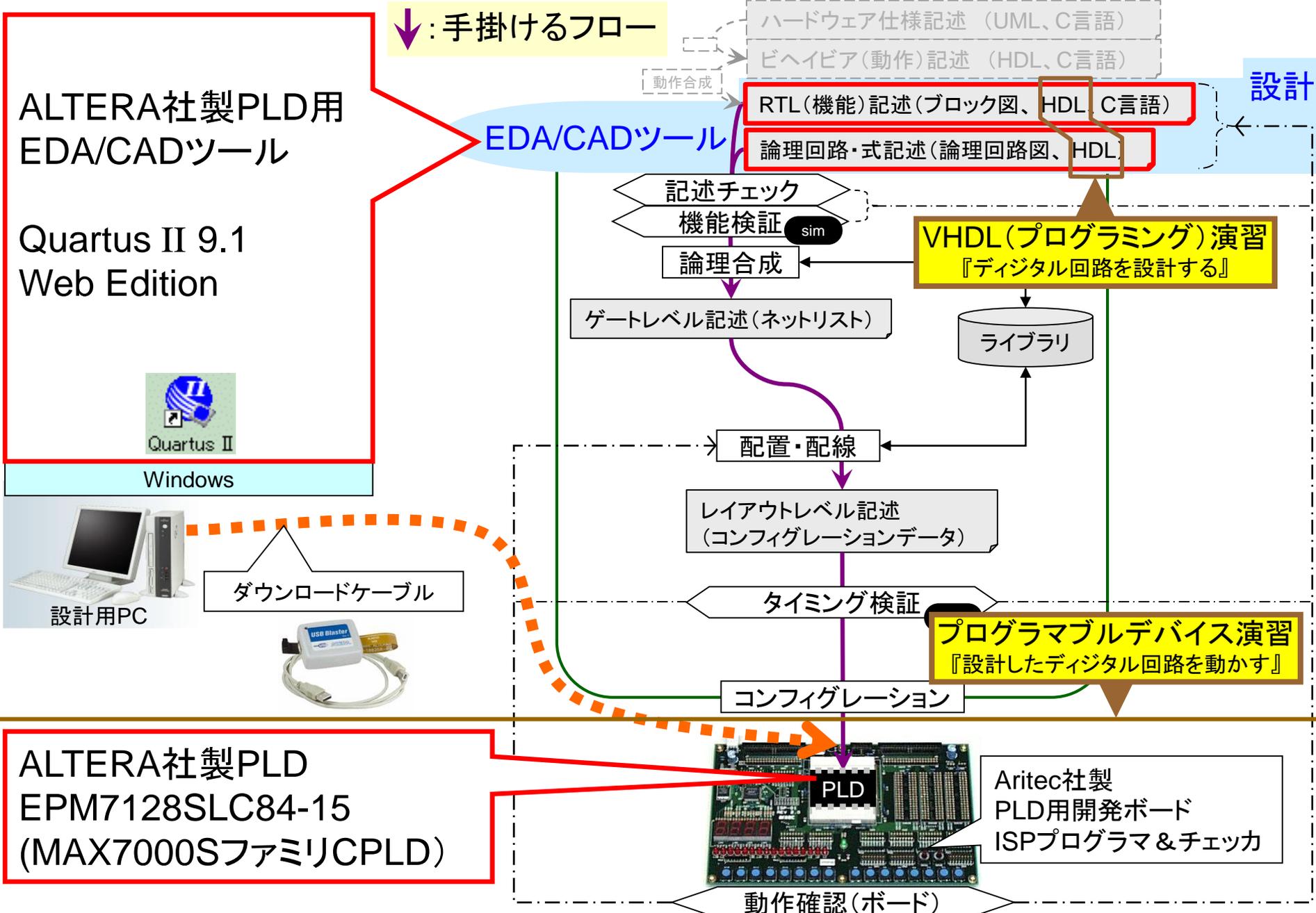


PLD 製作

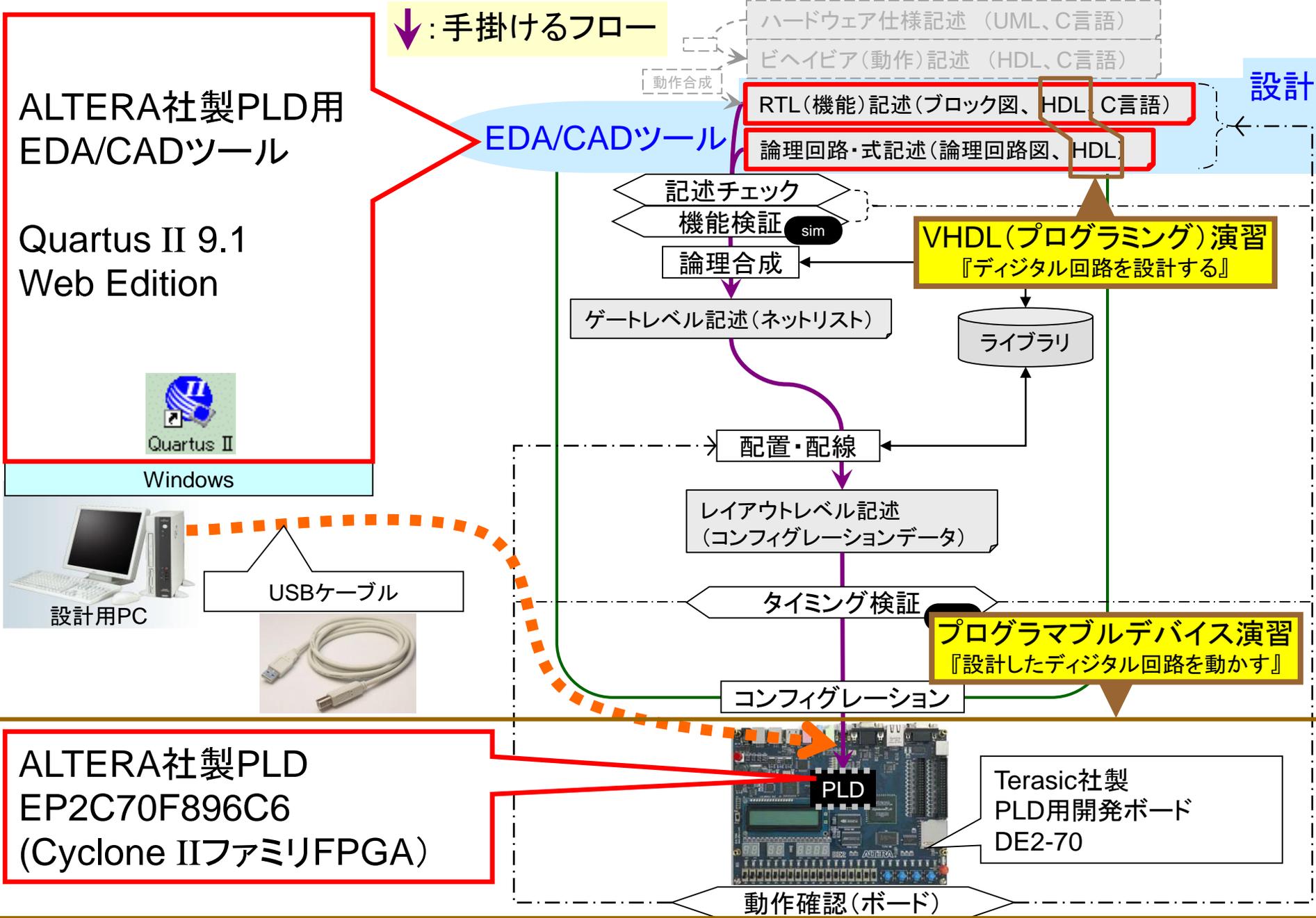
デバイス構造、製造技術

動作確認(ボード)

本科目の設計製作フローと、本科目の目的 (1)



本科目の設計製作フローと、本科目の目的 (2)



本科目の設計製作フローと、本科目の目的 (3)

