

マイクロプロセッサ(CPU)の設計

これまでの課題とCPU1208の内部装置

課題スライド	内部装置	備考		
VHDL-03.pdf	ALU	課題と同一の機能とする		
VHDL-04.pdf	MUX			
VHDL-04.pdf	Zフラグ生成器			
VHDL-05.pdf	汎用レジスタ(GR)	CE機能付き	8	ビットレジスタ
	Zレジスタ(ZR)		1	
	命令レジスタ(IR)		8	
	一時レジスタ(TR)		8	
	結果レジスタ(RR)	CE、OCN機能付き8ビットレジスタ		
VHDL-06.pdf	プログラムカウンタ(PC)	ACLR、CE、SLD機能付き12ビットカウンタ		
VHDL-08.pdf	制御回路			

【注1】 マイクロプロセッサ以外にも利用可

【注2】 CPU1208のみに利用可

CPU1208についての

✓ ISA(メモリを除く)

✓ 外部インタフェース

✓ 内部装置とデータパス

✓ 制御回路の設計

CPU1208の設計

entityの記述

内部構成

architecture記述

CPU1208の動作確認

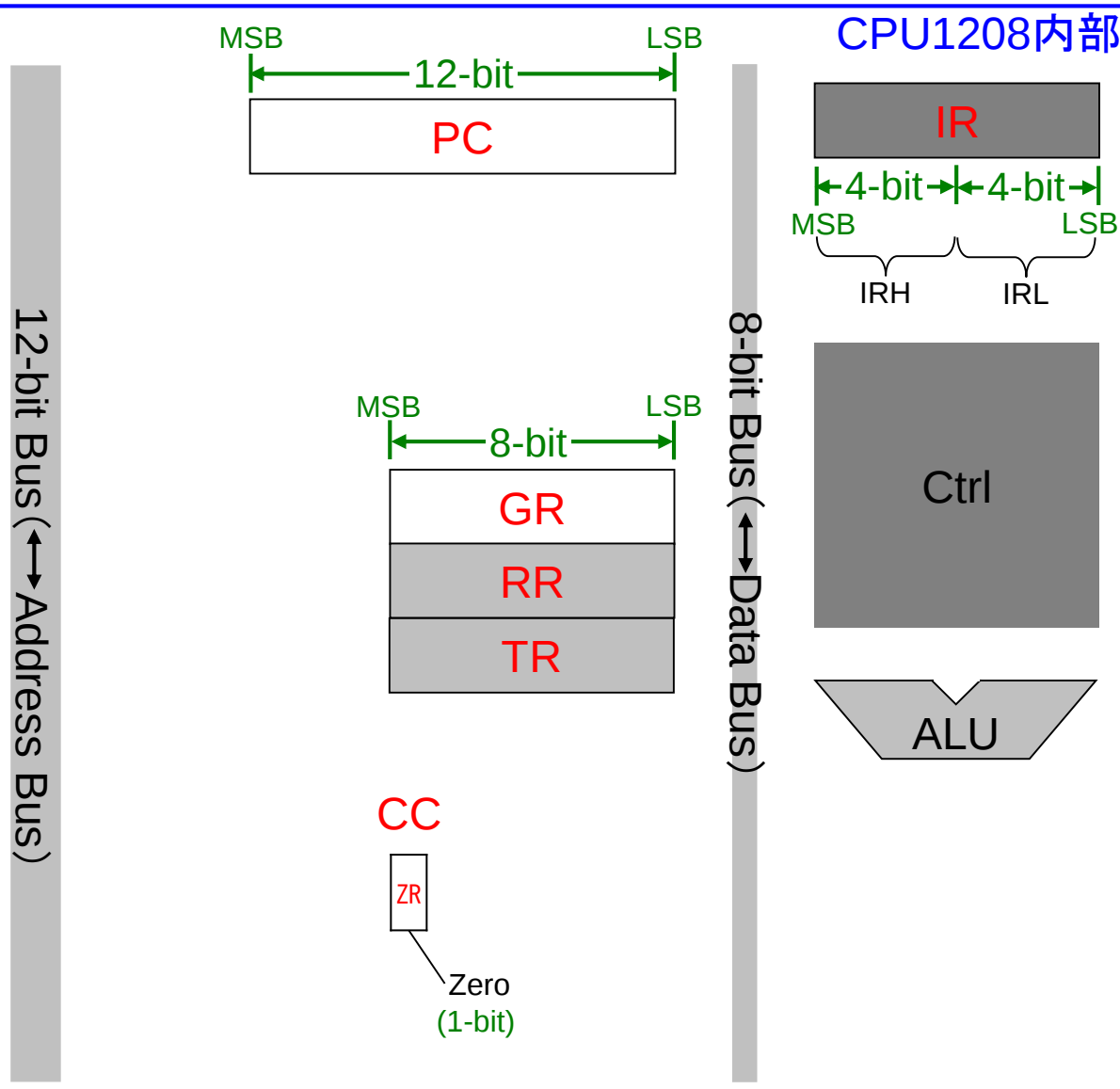
◆ メモリ

◆ 動作試験用プログラムの作成

◆ 動作試験のための回路記述

CPU1208のISA：内部記憶装置

ISA: **プロセッサ内部の記憶装置**、命令(種類、形式)、アドレッシングモード、メモリ



GR: 汎用レジスタ

CC: Condition Code Register
(**ZR**と表わす)

PC: Program Counter

TR: 一時レジスタ

RR: 結果レジスタ

ALU: Arithmetic Logic Unit

IR: 命令レジスタ

Ctrl: Control Unit

赤文字の装置: 記憶装置

装置の地の色: 白 ↔ 濃い灰

重要度: 高 ↔ 低

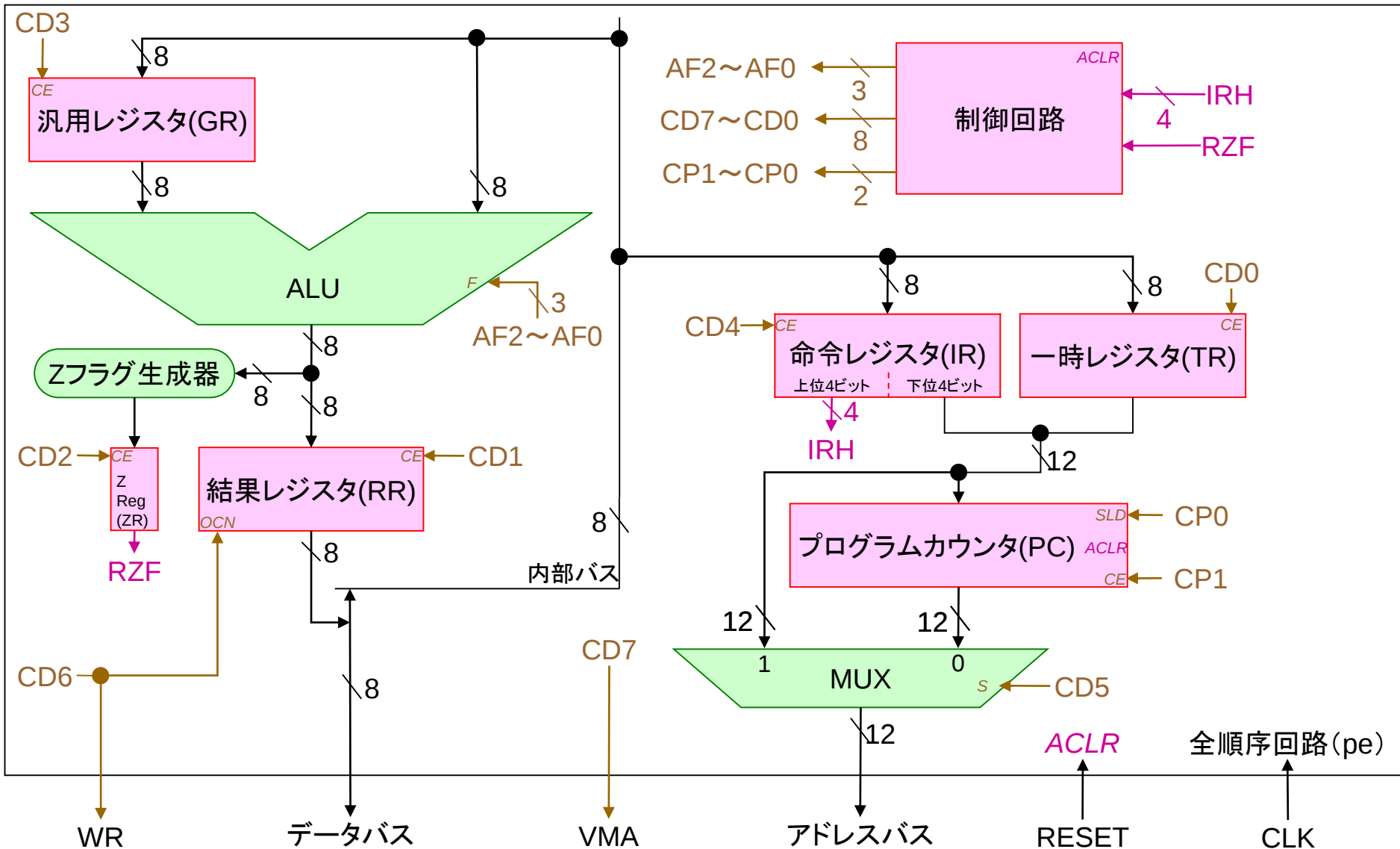
【注】この『重要度』は、ISAの意味での。

CPU1208のISA : 命令

ISA: プロセッサ内部の記憶装置、命令(種類、形式)、アドレッシングモード、メモリ

基本命令分類	基本命令機能	基本命令名	機械語オペコード	ポストニブル	機械語オペラント	機械語命令長	実行サイクル数	ゼロフラグビット	アドレッシングモード	動作説明
								Z		
データ転送	ロード	LD	0	0	hh	00hh	2	2	●	Immediate hh→GR
テスト	ビットテスト	BIT	1	0	hh	10hh	2	2	↑	Immediate GR and hh, regist Z
テスト	等価テスト	EQU	3	0	hh	30hh	2	2	↑	Immediate GR eor hh, regist Z
算術演算	加算	ADD	4	0	hh	40hh	2	3	↑	Immediate GR + hh→GR, regist Z
論理演算	論理積	AND	5	0	hh	50hh	2	3	↑	Immediate GR and hh→GR, regist Z
論理演算	論理和	OR	6	0	hh	60hh	2	3	↑	Immediate GR or hh→GR, regist Z
論理演算	排他的論理和	EOR	7	0	hh	70hh	2	3	↑	Immediate GR eor hh→GR, regist Z
算術演算	加算	ADD	8		hhh	8hhh	2	4	↑	Extended GR + M[hhh]→GR, regist Z
論理演算	論理積	AND	9		hhh	9hhh	2	4	↑	Extended GR and M[hhh]→GR, regist Z
論理演算	論理和	OR	A		hhh	Ahhh	2	4	↑	Extended GR or M[hhh]→GR, regist Z
論理演算	排他的論理和	EOR	B		hhh	Bhhh	2	4	↑	Extended GR eor M[hhh]→GR, regist Z
実行順序変更	ジャンプ	JZE	C		hhh	Chhh	2	3	●	Extended if Z=1 then hhh→PC
実行順序変更	ジャンプ	JMP	D		hhh	Dhhh	2	3	●	Extended hhh→PC
データ転送	ロード	LD	E		hhh	Ehhh	2	3	●	Extended M[hhh]→GR
データ転送	ストア	ST	F		hhh	Fhhh	2	3	●	Extended GR→M[hhh]

CPU1208 外部インタフェース 内部構成



組合せ回路

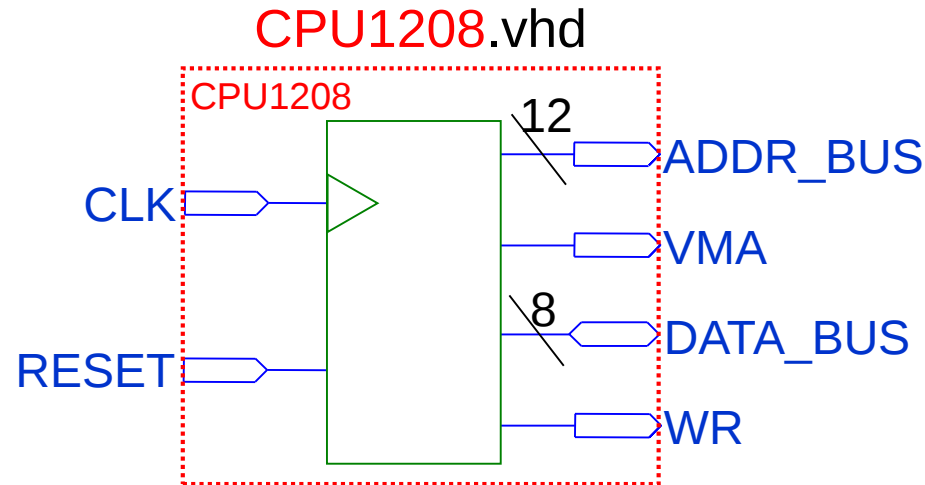
順序回路

VMA	WR	ASS	ICE	GCE	ZCE	RCE	TCE	PCCE	PCLD
CD								CP	
7	6	5	4	3	2	1	0	1	0

外部インタフェース→entityの記述



VMA (Valid Memory Address): アドレス有効信号、WR (Write): メモリ書込み信号 ※共に1で有効

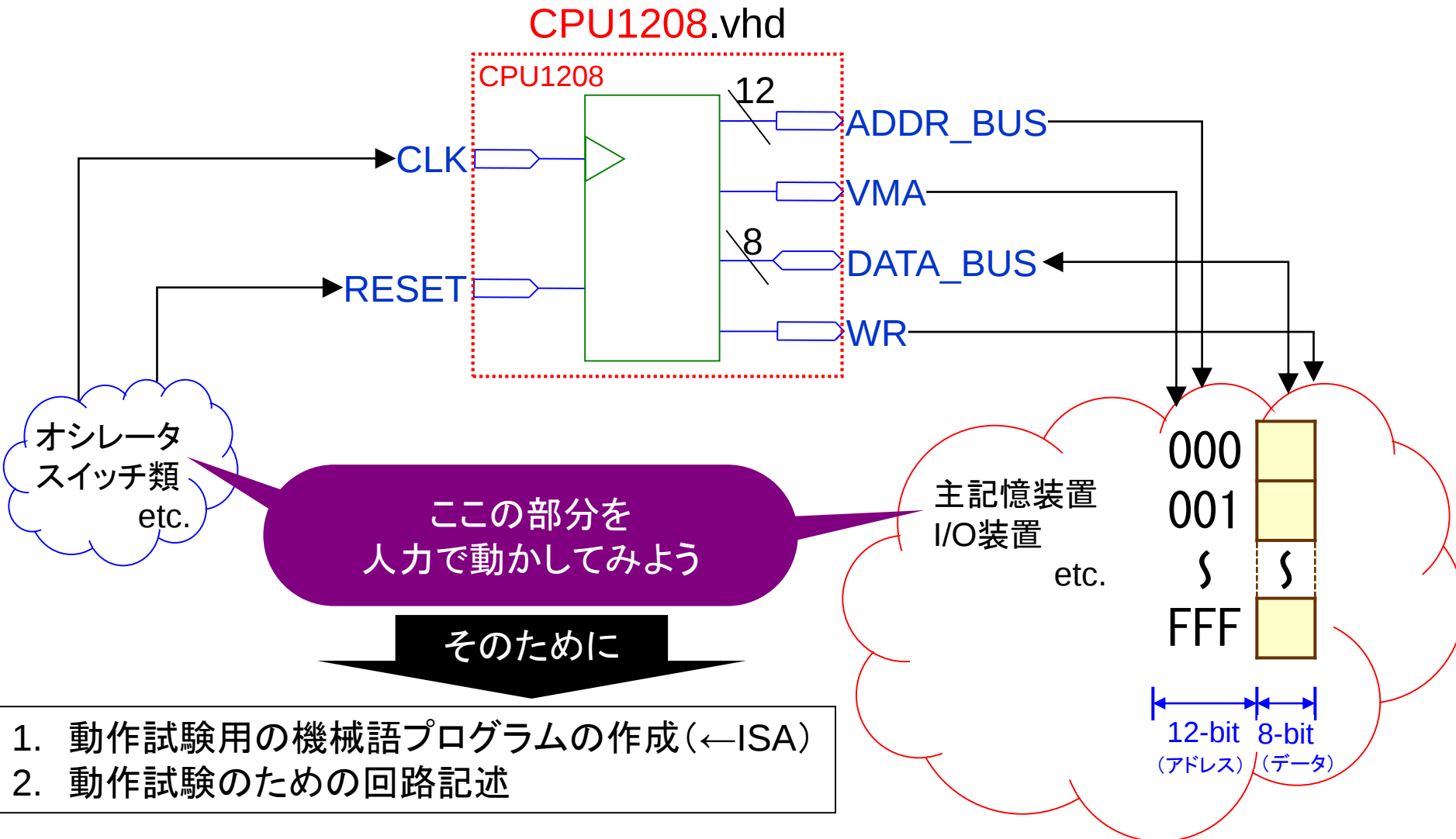


入出力ポートの記述

```
port (  
  CLK, RESET : in std_logic;  
  ADDR_BUS : out std_logic_vector(11 downto 0);  
  DATA_BUS : inout std_logic_vector(7 downto 0);  
  VMA, WR : out std_logic  
);
```

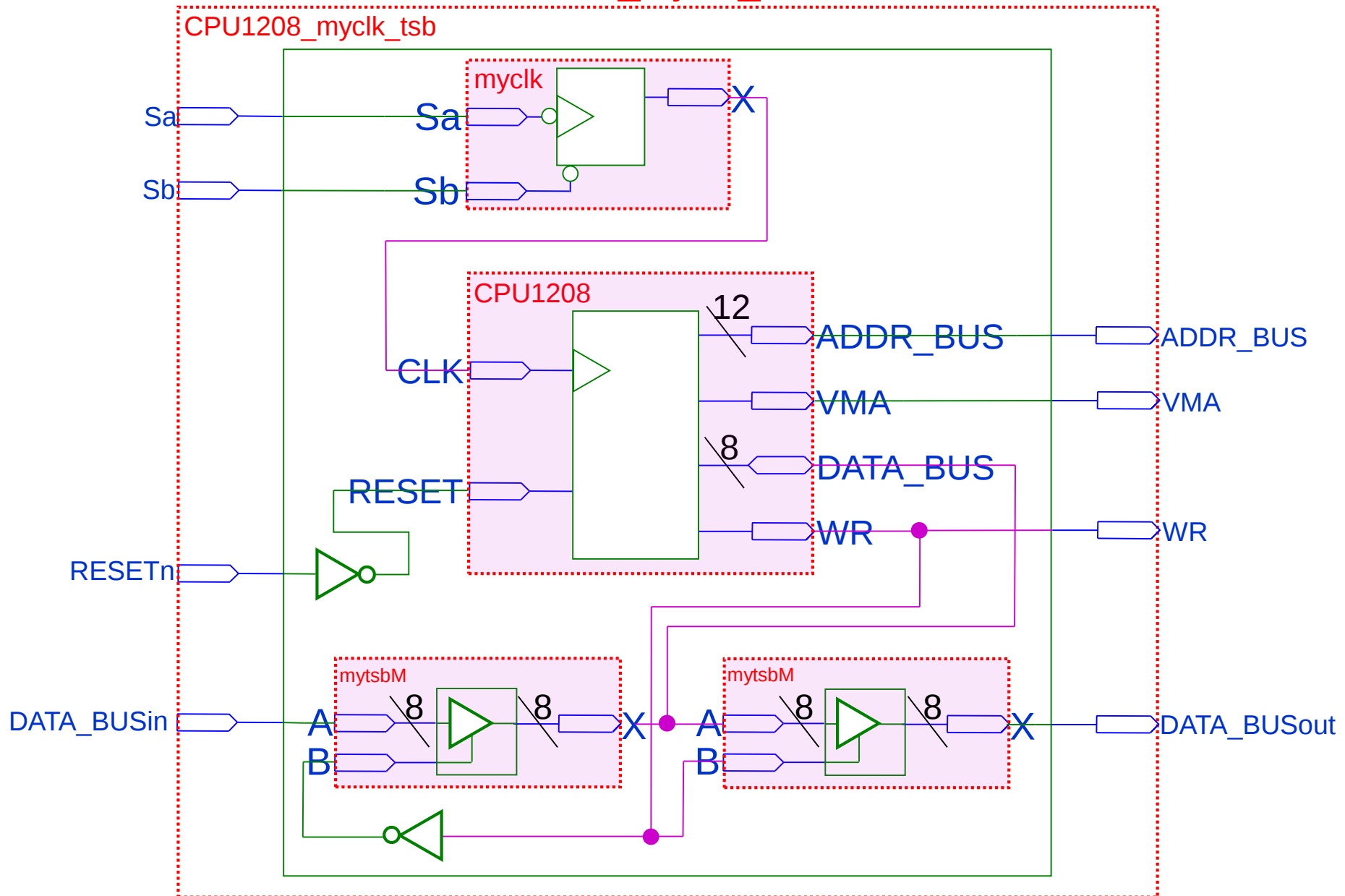
CPU1208のISA : メモリ

ISA: プロセッサ内部の記憶装置、命令(種類、形式)、アドレッシングモード、**メモリ**



動作試験のための回路記述

CPU1208_myclk_tsb.vhd



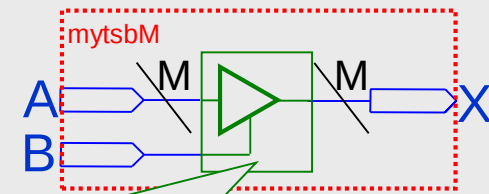
動作試験のための回路記述の補足

DATA_BUSはinoutモードのポートであるので、そのままでは、PLD開発ボードの入力／出力部品に繋げることができない。



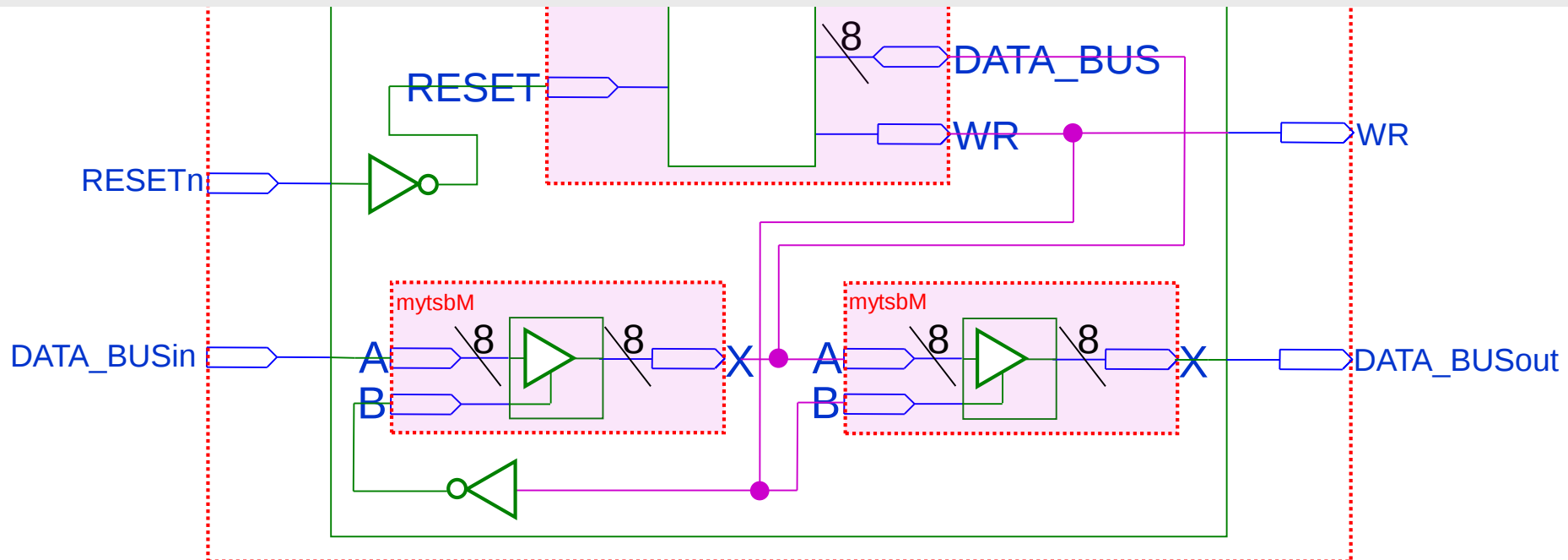
3ステートバッファ回路を利用して、問題解決

mytsbM.vhd



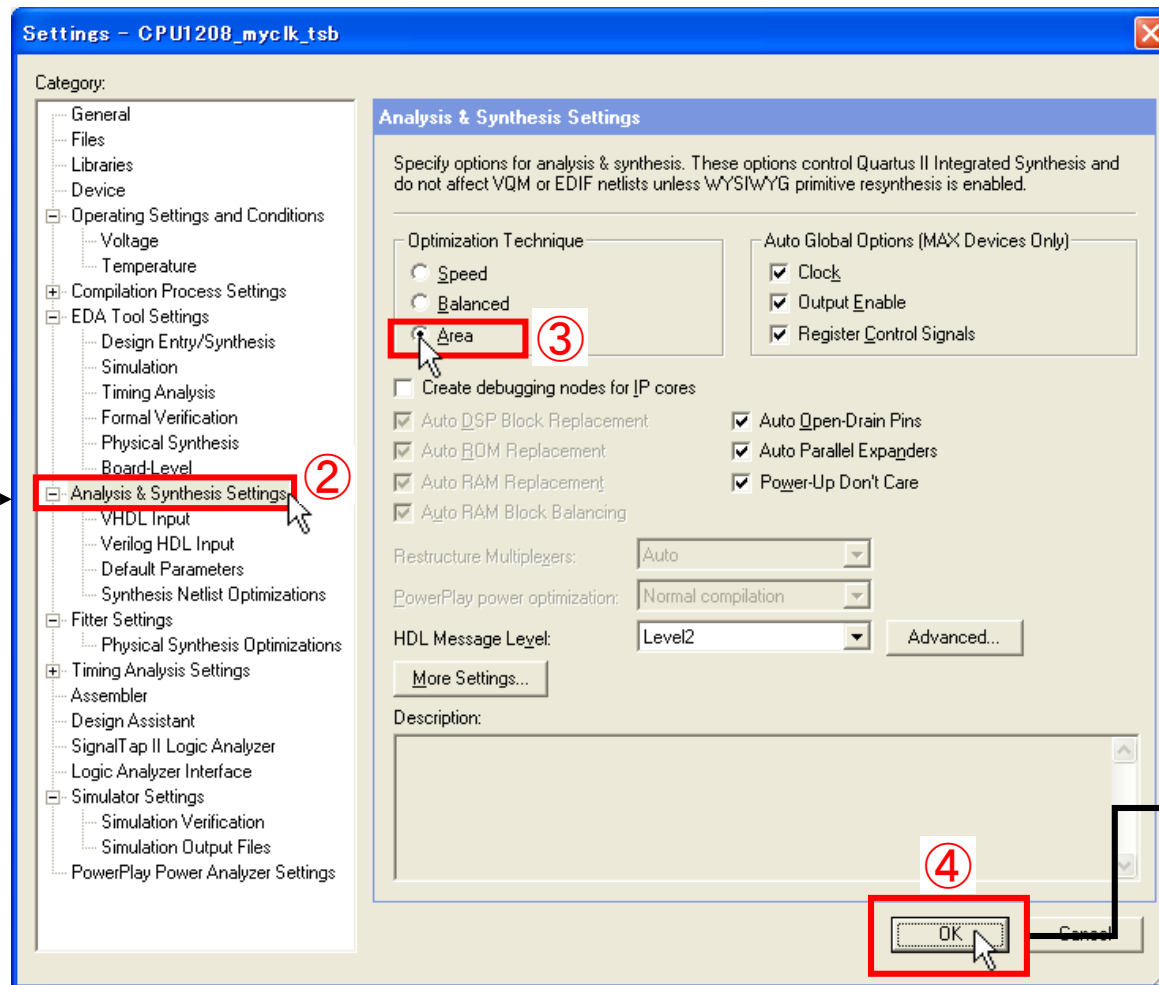
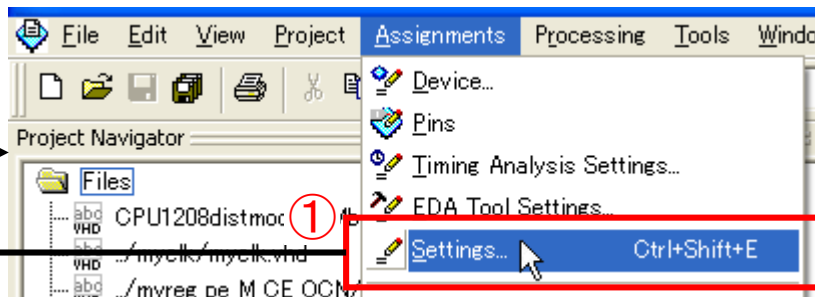
信号Bが0 ⇒『X は High Impedance』
信号Bが1 ⇒『X <= A;』

mytsbM.vhd (Webページで配布 ≧)
を利用してもよい。
もちろん、自分で作成してもよい。



注意事項：コンパイルに関する補足

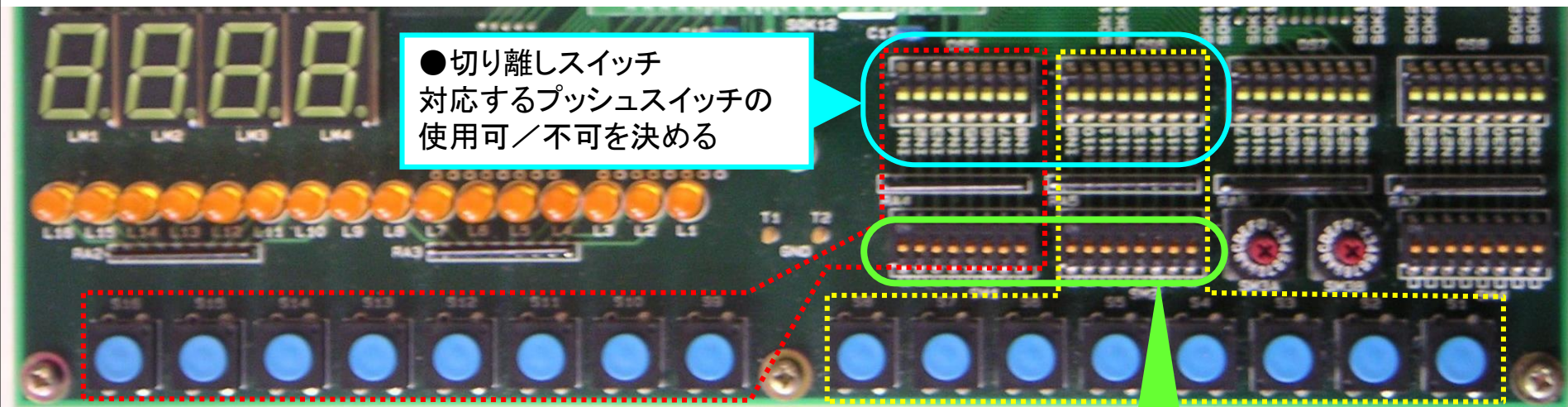
(ピン割当前の)
コンパイル前に
一度だけ行う。



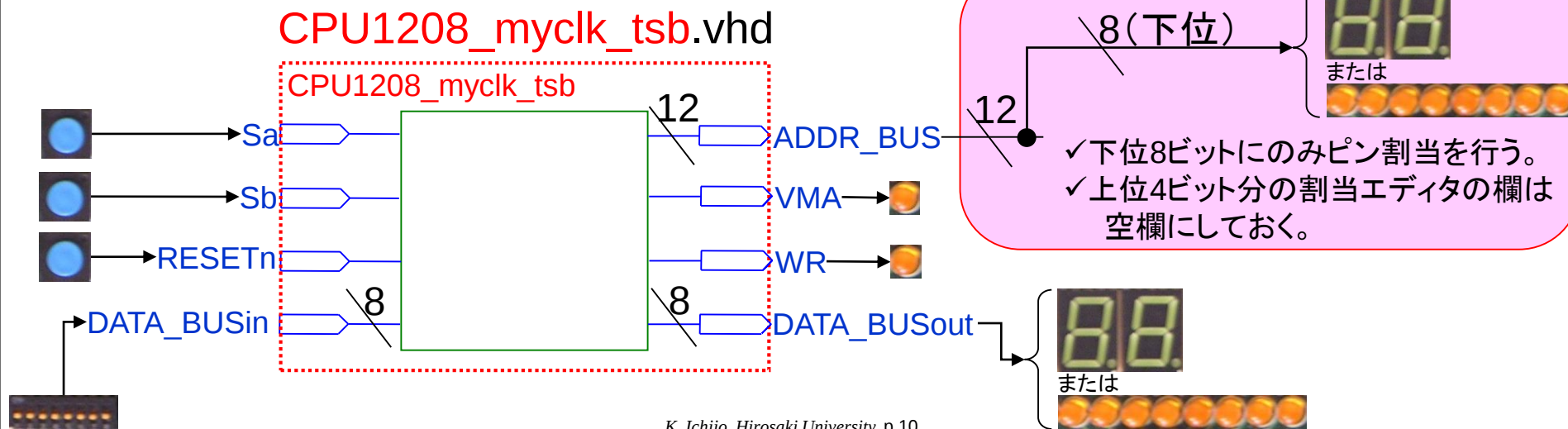
コンパイルなど
次の作業へ

注意事項：プログラマ&チェッカ・ピン割当に関する補足

◆プログラマ&チェッカのスライド型入力部品



◆ADDR_BUSのピン割当制限



注意事項：DE2-70 7segLEDに関する補足

◆プログラマ & チェッカの7segLED



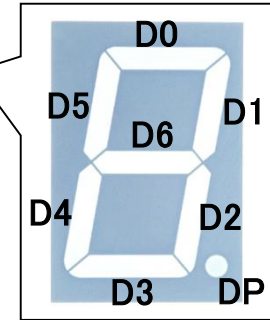
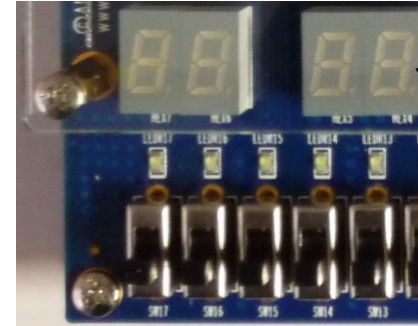
プログラマ & チェッカ側出力系				PLD側	
内容	出力用 部品名	切り離し スイッチ	ピン 番号	ピン用途	
7segLED 一桁の 16進数を表示 MSB:D LSB:A	LM1	D	OUT1	80	I/O
		C	OUT2	81	"
		B	OUT3	4	"
		A	OUT4	5	"
	LM2	D	OUT5	8	"
		C	OUT6	9	"
		B	OUT7	10	"
		A	OUT8	11	"

1つの7segLEDに対応している
4つのピンに、4ビット情報を
MSB/LSBを間違えずに割当てると、
4ビット情報に対応する16進数が
7segLEDに表示される。

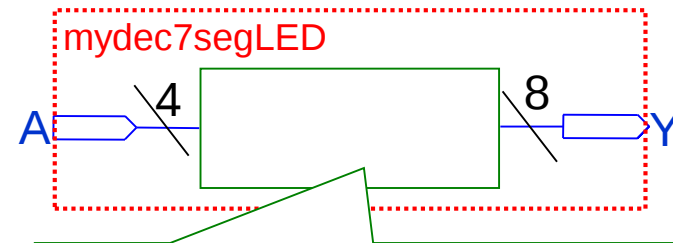
(ボード上にデコーダICが実装されているので)

※DE2-70は、そのようにはいかない
ので、デコーダを作る必要がある。
(回路は右参照)

◆DE2-70の7segLED



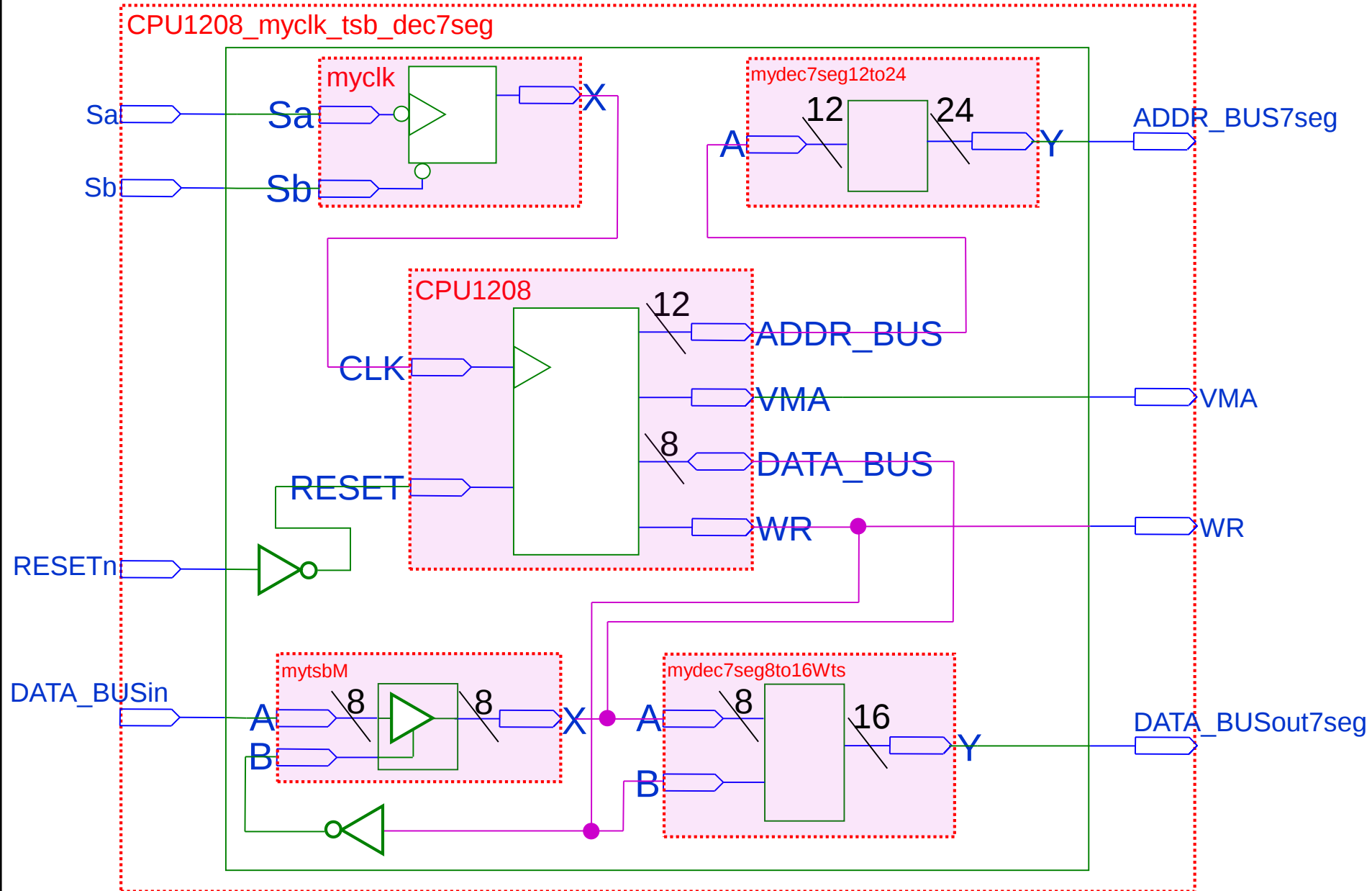
表示には
8ビット分の
情報が必要



入力				出力								7segLED の見える方
A3	A2	A1	A0	DP	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	1	1	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1	1
0	0	1	0	1	0	1	0	0	1	0	0	2
0	0	1	1	1	0	1	1	0	0	0	0	3
0	1	0	0	1	0	0	1	1	0	0	1	4
0	1	0	1	1	0	0	1	0	0	1	0	5
0	1	1	0	1	0	0	0	0	0	1	0	6
0	1	1	1	1	1	1	0	1	1	0	0	7
1	0	0	0	1	0	0	0	0	0	0	0	8
1	0	0	1	1	0	0	1	1	0	0	0	9
1	0	1	0	1	0	0	0	1	0	0	0	A
1	0	1	1	1	0	0	0	0	0	1	1	B
1	1	0	0	1	1	0	0	0	1	1	0	C
1	1	0	1	1	0	1	0	0	0	0	1	D
1	1	1	0	1	0	0	0	0	1	1	0	E
1	1	1	1	1	0	0	0	1	1	1	0	F

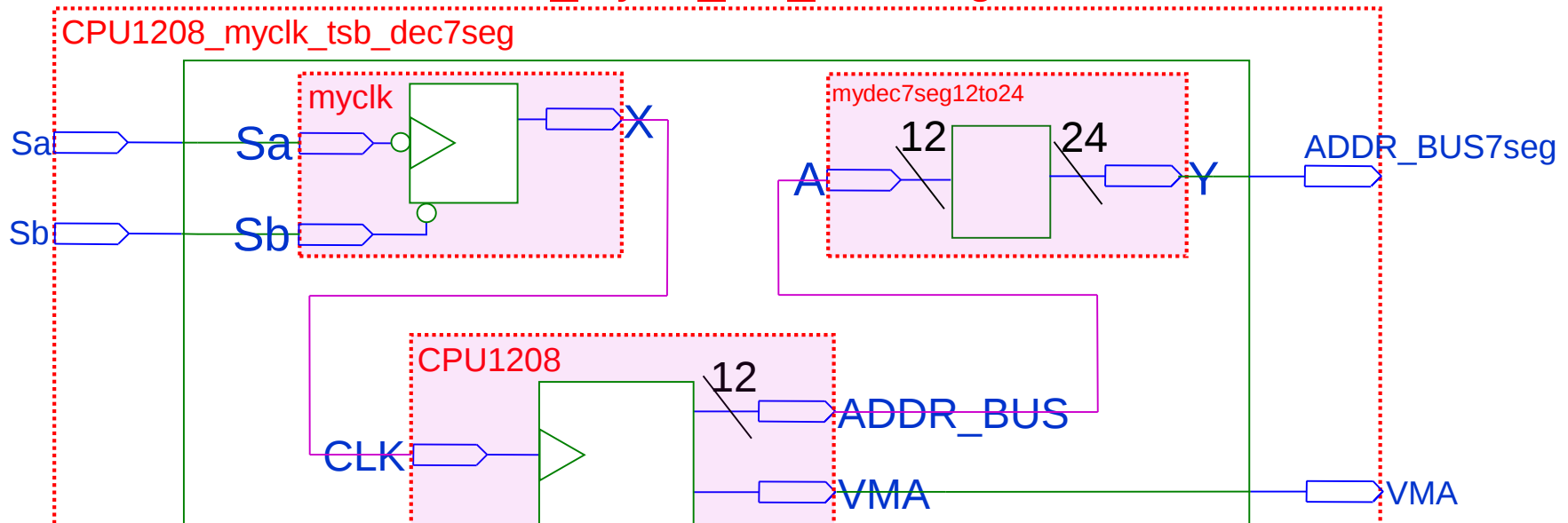
動作試験のための回路記述 (DE2-70、7segLED利用版)

CPU1208_myclk_tsb_dec7seg.vhd



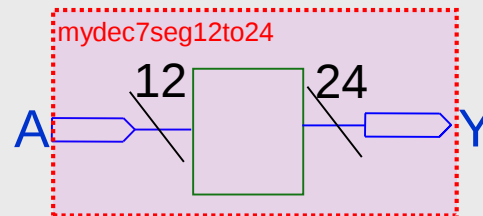
動作試験のための回路記述 (DE2-70、7segLED利用版) 補足1

CPU1208_myclk_tsb_dec7seg.vhd



ADDR_BUS12ビットの値を、
3つの7segLEDを用いて
16進数表示させるデコーダ。

mydec7seg12to24.vhd



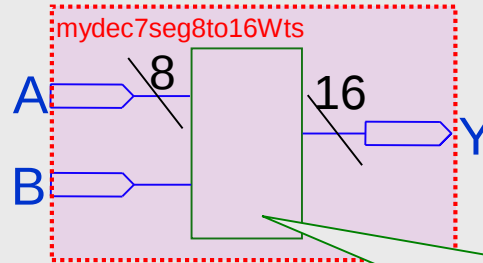
mydec7seg12to24.vhd (Webページで配布 [≫](#))
を利用してよい。
もちろん、自分で作成してもよい。

動作試験のための回路記述 (DE2-70、7segLED利用版) 補足2

DATA_BUS 8ビットの値を、
2つの7segLEDを用いて
16進数表示させるデコーダ。

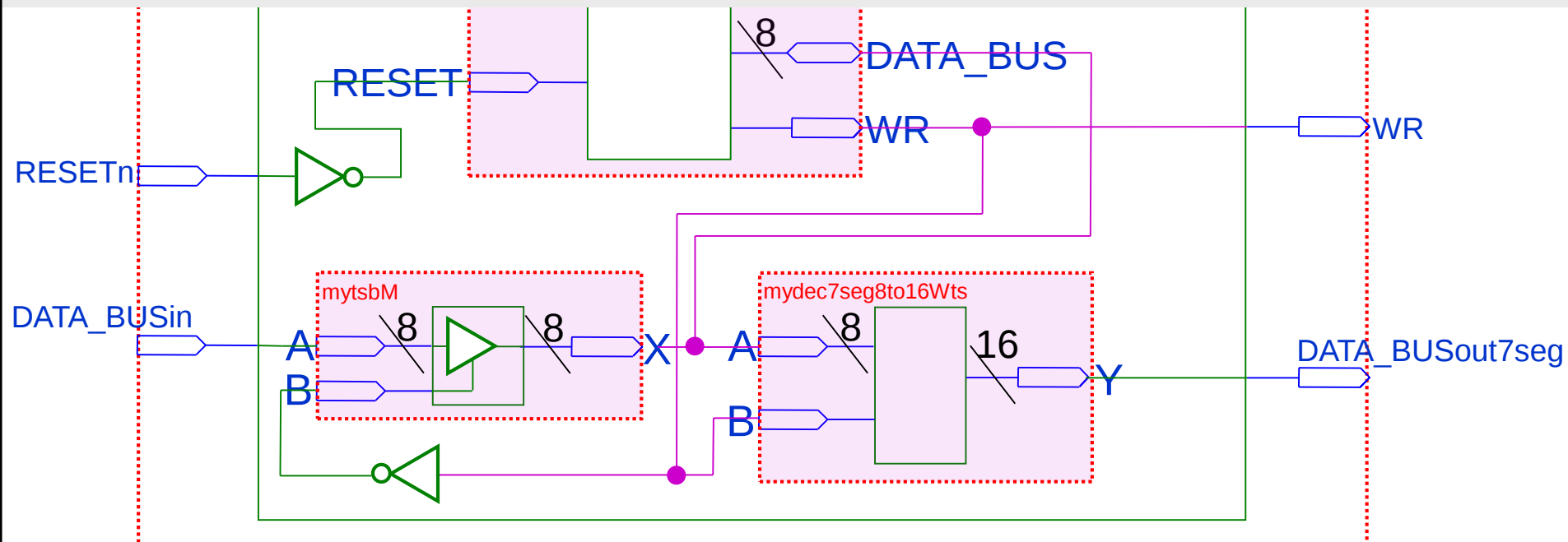
ただし、
3ステートバッファ機能付き。

mydec7seg8to16Wts.vhd



信号Bが0 ⇒『Y は High Impedance』
信号Bが1 ⇒『Y は Aをデコードした値』

mydec7seg8to16Wts.vhd (Webページで配布 ≧)
利用してもよい。
もちろん、自分で作成してもよい。



■ 必須課題 ■

■ プロジェクト「CPU1208_myclk_tsb」

1. CPU1208.vhdの記述
 2. CPU1208_myclk_tsb.vhdの記述
- を行い、

PLD用開発ボード上で動作試験可能なマイクロプロセッサを設計せよ。

なお、

以下の要件をみたすCPU1208の機械語プログラムを作成して、動作試験を行うこと。

要件1 汎用レジスタに任意の値をロードする。

要件2 汎用レジスタの値に対して、1つ以上の演算処理を施す。

要件3 汎用レジスタの値を任意のアドレスにストアする。
(ただし、プログラムを破壊しない位置に限る)

※DE2-70使用の際は、プロジェクト「CPU1208_myclk_tsb_dec7seg」として進めてもよい。