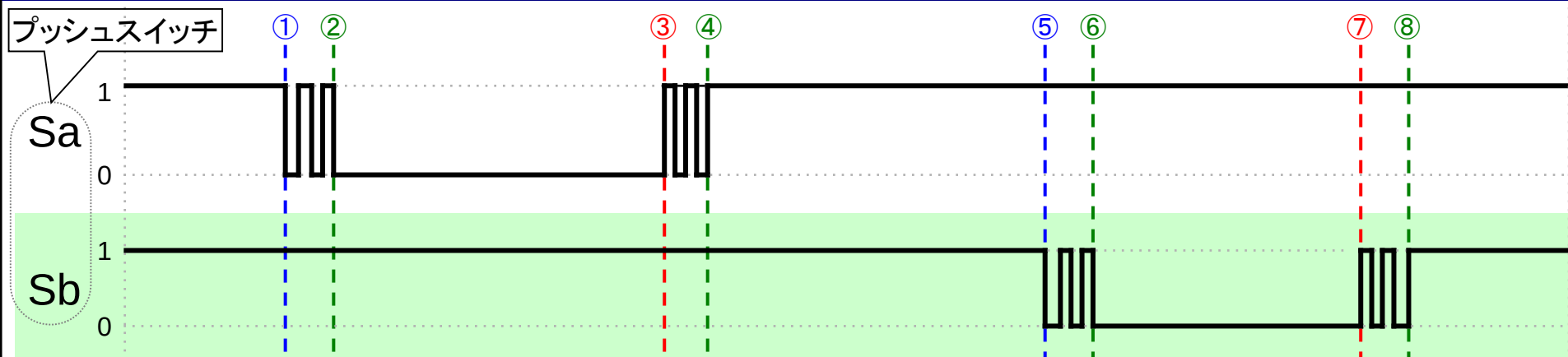


プッシュスイッチ、チャタリング、エッジトリガクロック信号生成(1)



①	Saを押した時点	⑤	Sbを押した時点
②	Saのチャタリングが治まった時点	⑥	Sbのチャタリングが治まった時点
③	Saを離した時点	⑦	Sbを離した時点
④	Saのチャタリングが治まった時点	⑧	Sbのチャタリングが治まった時点

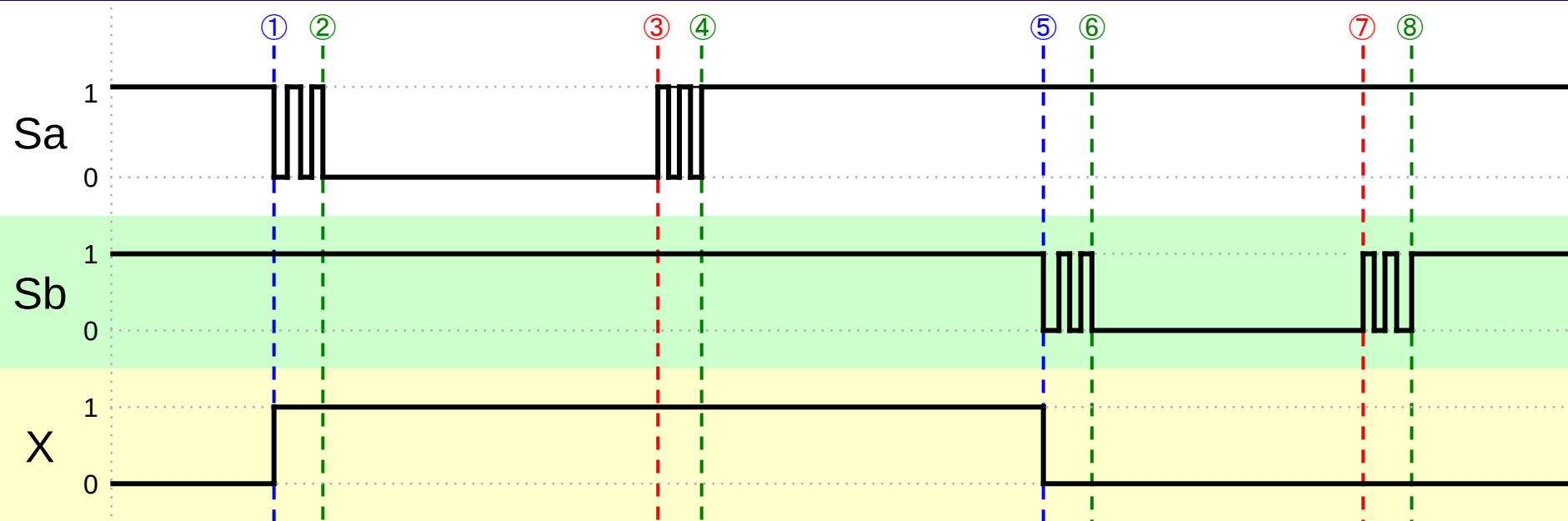
チャタリング: プッシュスイッチが微小時間、振動する現象

Saについて、

- ・③はポジティブエッジとなるが、①～②及び③～④にポジティブエッジが複数発生する。
 - ・①はネガティブエッジとなるが、①～②及び③～④にネガティブエッジが複数発生する。
- (Sbについても同様のことが言える)

プッシュスイッチをそのまま使用し、安定したエッジトリガクロック信号を生成することは難しい。

プッシュスイッチ、チャタリング、エッジトリガクロック信号生成(2)



プッシュスイッチをそのまま使用し、安定したエッジトリガクロック信号を生成することは難しい。

プッシュスイッチをどのように使用すれば、安定したエッジトリガクロック信号を生成できるか？

さまざまな方法が考えられるが、

プッシュスイッチ2つ(Sa,Sb)と、レジスタmyreg_ne_1_ACLRNを使用して、
上記タイムチャートのような信号Xを生成すると、

①	Saを押した時点	⑤	Sbを押した時点
---	----------	---	----------

信号Xのポジティブエッジ

信号Xのネガティブエッジ

となり、安定したエッジトリガクロック信号を生成できる

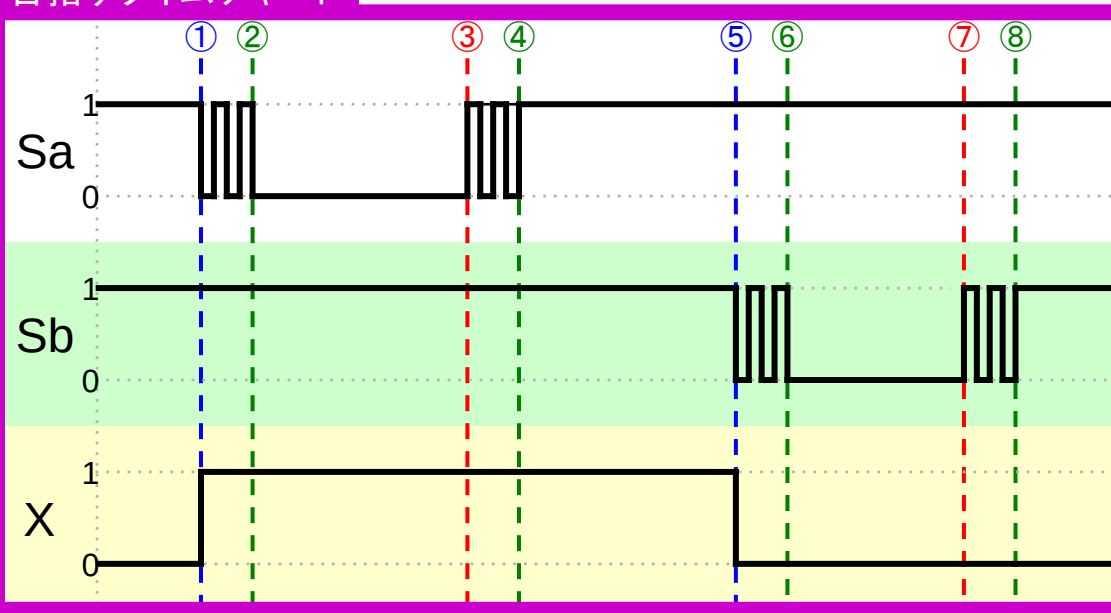
プッシュスイッチ、チャタリング、エッジトリガクロック信号生成(3)

●レジスタの機能記述

- ・ポジティブ／ネガティブ エッジトリガ
- ・記憶ビット数
- ・付加機能
- ・追加出力

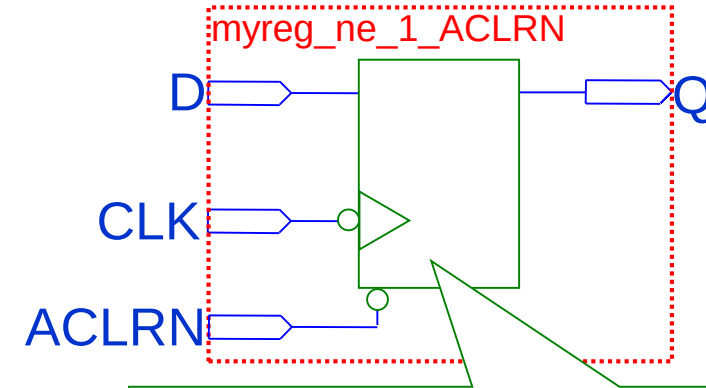
- ・ネガティブエッジトリガ
- ・1-bit記憶
- ・付加機能: ACLRN
- ・追加出力なし
のレジスタ

目指すタイムチャート



	タイムチャート	myreg_ne_1_ACLRN
入力	2つ (Sa, Sb)	3つ (CLK, ACLRN, D)
出力	1つ (X)	1つ (Q)

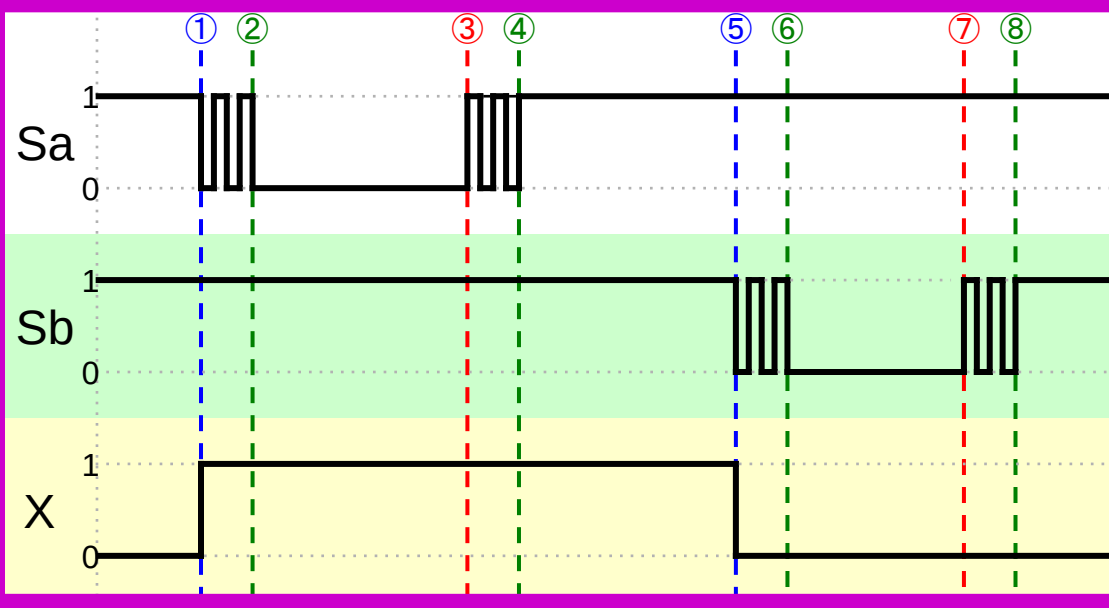
myreg_ne_1_ACLRN.vhd



入力			出力
ACLRN	CLK	D	Q
0	-	-	0クリア
1	↓	0	0
		1	1
	↓以外	0	変化なし
		1	

プッシュスイッチ、チャタリング、エッジトリガクロック信号生成(4)

目指すタイムチャート



	タイムチャート	myreg_ne_1_ACLRN
入力	2つ (Sa, Sb)	3つ (CLK, ACLRN, D)
出力	1つ (X)	1つ (Q)

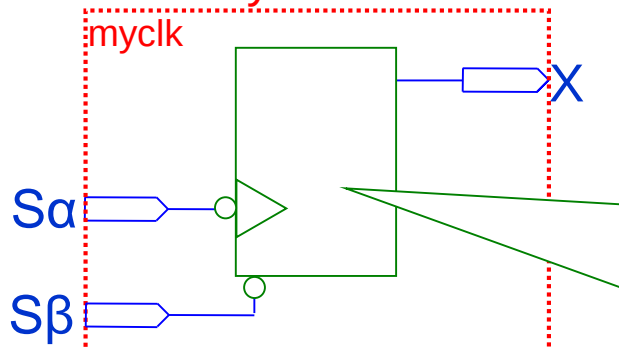
myreg_ne_1_ACLRN.vhd

入力			出力
ACLRN	CLK	D	Q
0	-	-	0クリア
1	↓	0	0
		1	1
	↓以外	0	変化なし
		1	

SaはCLKへ与える
SβはACLRNへ与える
Dへは何を与える？

XはQから取り出す

myclk.vhd

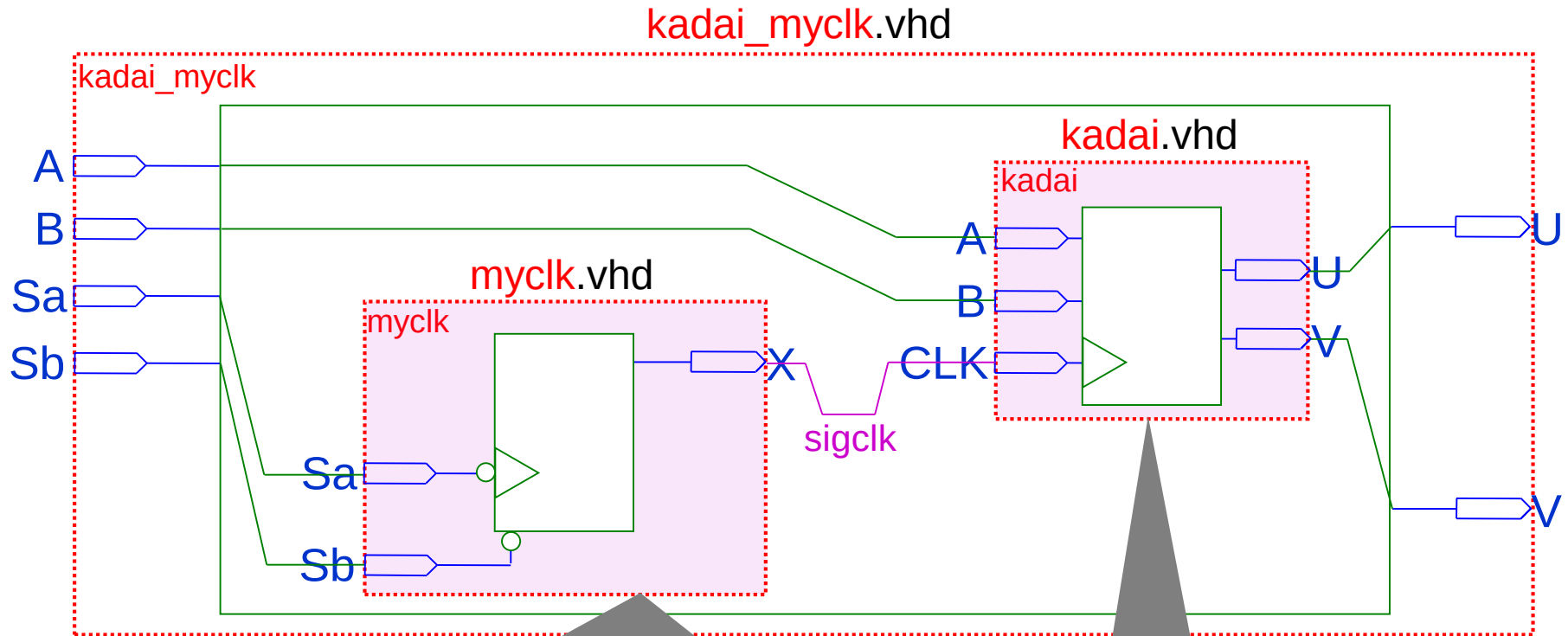


入力		出力
Sb	Sa	X
0	-	0クリア
1	↓	1
	↓以外	変化なし

プッシュスイッチ、チャタリング、エッジトリガクロック信号生成(5)

安定したエッジトリガクロックを必要とする課題(「kadai」)の場合、以下のように行うとよい。

①作業ディレクトリ名、プロジェクト名、Top-Level Entity名を「kadai_myclk」とする。



②以下を講義用Webページより取得

- ・myclk.vhd (VHDLデザインファイル)
- ・myclk.comp_desc (コンポーネント宣言記述)
- ・myclk.inst_desc (コンポーネント・インスタンス文記述)

③課題内容に即し、
これを作成

④ Top-Level Entity
を作成