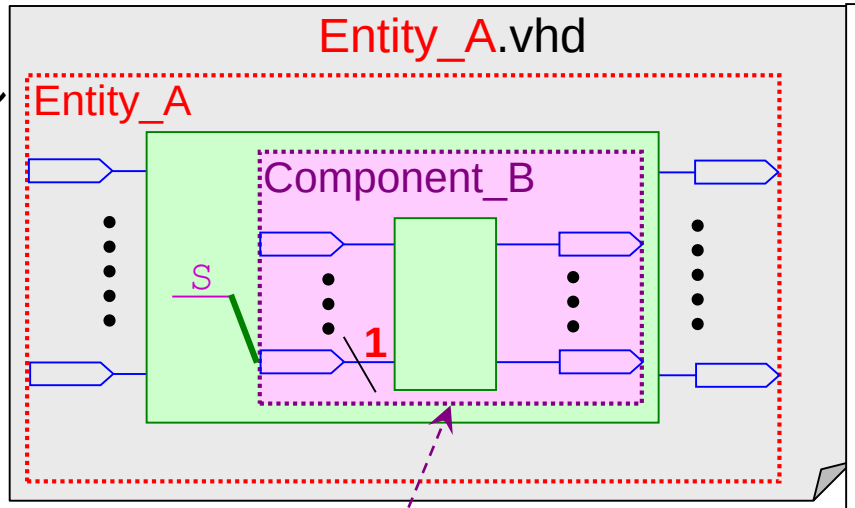
モジュール化デザインでの注意 ： generic map、port map

上位
モジュール
デザイン
ファイル

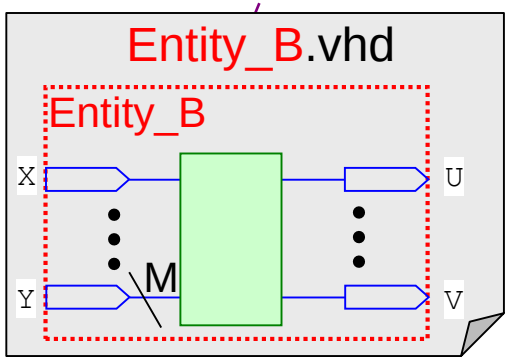



```
end Entity_A;
architecture RTL of Entity_A is
signal S : std_logic;
component Entity_B
  generic(M:integer:=4);
  port(
    X : in std_logic;
    Y : in std_logic_vector(M-1 downto 0);
    U,V : out std_logic
  );
end component ;
begin
.....
ins_EB : Entity_B
  generic map(M=>1)
  port map(
    X=>???, Y(0)=>S,
    U=>???, V=>???
  );
end RTL;
```

『Y=>S』
ではエラーになる

コンポーネント宣言文
インスタンス名
コンポーネント・インスタンス文

下位
モジュール
デザイン
ファイル




```
entity Entity_B is
  generic(M:integer:=4);
  port(
    X : in std_logic;
    Y : in std_logic_vector(M-1 downto 0);
    U,V : out std_logic
  );
end Entity_B;
architecture RTL of Entity_B is
```